



Universidad
Nacional
de Córdoba



FAMAF
Facultad de Matemática,
Astronomía, Física y
Computación

EX-2024-00605830- -UNC-ME#FAMAF

PROGRAMA DE ASIGNATURA	
ASIGNATURA: Arquitectura de Computadoras	AÑO: 2024
CARACTER: Obligatoria	UBICACIÓN EN LA CARRERA: 3° año 2° cuatrimestre
CARRERA: Licenciatura en Ciencias de la Computación	
REGIMEN: Cuatrimestral	CARGA HORARIA: 120 horas

FUNDAMENTACIÓN Y OBJETIVOS

Que el alumno sea capaz de interpretar el funcionamiento de los bloques "internos" asociados a Arquitectura de Computadoras No Convencionales (No "Von Neumann", Procesadores de Alta Prestación y Computadoras Reconfigurables).

Que el alumno pueda entender los conceptos básicos asociados con el incremento de rendimiento de las computadoras y técnicas de hardware y software subyacentes.

CONTENIDO

-Unidad 1: PROCESADORES RISC

Arquitectura de un procesador RISC. Implementación mediante el uso de lenguaje de descripción de hardware. Excepciones. Técnicas de mejora de rendimiento de entradas/salidas.

-Unidad 2: SEGMENTACIÓN DE CAUCE (PIPELINE)

Concepto de pipelining. Segmentación de cauce en un procesador. Hazard: de datos, estructurales y de control. Técnicas de manejo de hazard estáticas y dinámicas: Stall, Forwarding-stall.

-Unidad 3: JERARQUÍA DE MEMORIAS

Organización jerárquica de memorias. Principio de localidad de las referencias: espacial y temporal. Memoria caché. Criterios de correspondencia: Directa, Full Asociativa; Asociativa por conjuntos. Algoritmos de sustitución. Niveles.

-Unidad 4: PREDICCIÓN DE SALTOS

Predicción de saltos. Predictores dinámicos: locales y globales. Predictores híbridos. Predictores por torneo.

-Unidad 5: PROCESADOR SUPERESCALAR

Concepto de paralelismo a nivel de instrucción. Procesador superescalar estático en orden. Implementación de un procesador "multiple-issue". Tipos de dependencia de datos. Técnicas de mejora de rendimiento estáticas: scheduling, register renaming, loop-unrolling. Procesador superescalar dinámico fuera de orden. Algoritmo de Tomasulo. Especulación.

-Unidad 6: PROCESAMIENTO PARALELO

Arquitecturas paralelas. Tipos de paralelismo: de instrucciones y datos. Límites del paralelismo. Procesador multithreading. GPU.

-Unidad 7: NOCIONES DE COMPUTACIÓN RECONFIGURABLE (CR) Y DE ALTA PERFORMANCE (HPC)

Conceptos generales, historia y estado del arte de la CR. Uso de HDL en computación reconfigurable. Nociones de codiseño Hardware-Software y su aplicación en CR. Conceptos generales, historia y estado del arte de HPC. Nociones de HPC y distribuida. Nociones básicas de clusters y arquitecturas Grid.

BIBLIOGRAFÍA

EX-2024-00605830- -UNC-ME#FAMAF

BIBLIOGRAFÍA BÁSICA

- Patterson, Hennesy, "Computer Organization and Design - ARM edition", 2017.
- Hennesy, Patterson, "Computer architecture - A quantitative approach", Sexta edición, 2019.

BIBLIOGRAFÍA COMPLEMENTARIA

- Harris, Harris, "Digital Design and Computer Architecture - ARM edition", 2016.

EVALUACIÓN

FORMAS DE EVALUACIÓN

1. Se tomarán dos exámenes parciales escritos sobre temas teórico-prácticos de la materia. Para cada parcial habrá una instancia de recuperación. Se aprueban con 4 (cuatro).
2. Se realizarán dos trabajos prácticos o de laboratorio obligatorios.
3. El examen final para los alumnos regulares y libres será escrito, sobre temas teórico-prácticos de la materia y podrá incluir una instancia oral, sobre temas de los laboratorios de la materia.

REGULARIDAD

1. Aprobar al menos dos evaluaciones parciales o sus correspondientes recuperatorios.
2. Aprobar al menos el 60% de los trabajos prácticos o de laboratorio.

PROMOCIÓN

1. Aprobar todas las evaluaciones parciales con una nota no menor a 6 (seis), y obteniendo un promedio no menor a 7 (siete).
2. Aprobar todos los trabajos prácticos o de laboratorio.