



LABORATORIO DE
COMUNICACIONES DIGITALES

Decodificación Iterativa en Sistemas de Grabación Magnética de Alta Densidad

Damián A. Morero
dmorero@unc.edu.ar

Octubre 2017

1. Introducción
2. Arquitectura Tradicional
3. Arquitectura Propuesta

Introducción: *Microsoft Azure Datacenter: Costos*

Existing roadmaps through 2027 show

Additional **80%** improvement for HDD Systems
(60-100 TB HDDs)

Additional **95%** improvement for Tape Systems
(with additional runway to 99% improvement)

Improvement for flash is about **80%** and capped

Cost ratios likely to be consistent through mid 2020's

10:1 Flash : HDD

10:1 HDD : Tape

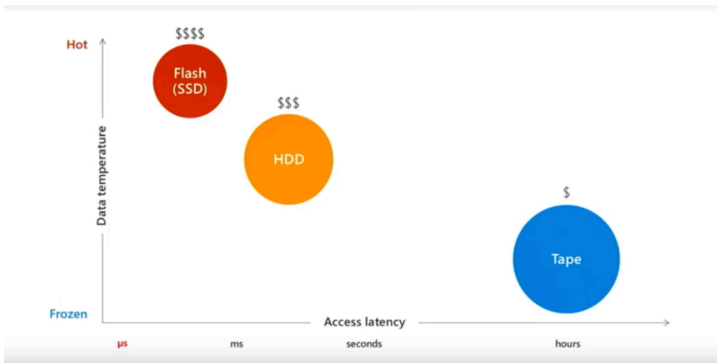
HDD and Flash lack known improvements past 80% reduction
(lots of smart people, so we might get some surprises)

Tape has known improvement roadmap to 99% reduction



LABORATORIO DE
COMUNICACIONES DIGITALES

Introducción: *Microsoft Azure Datacenter: Latencia y Temperatura*





LABORATORIO DE
COMUNICACIONES DIGITALES

Introducción:

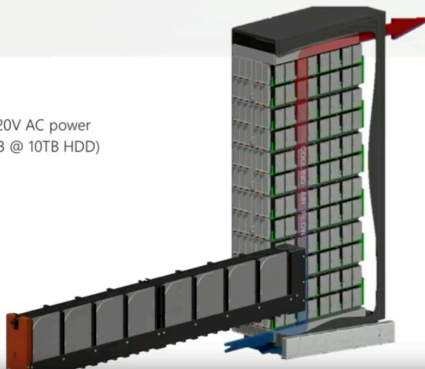
Microsoft Azure Datacenter: Pelican HDD

Pelican

Rack-scale appliance

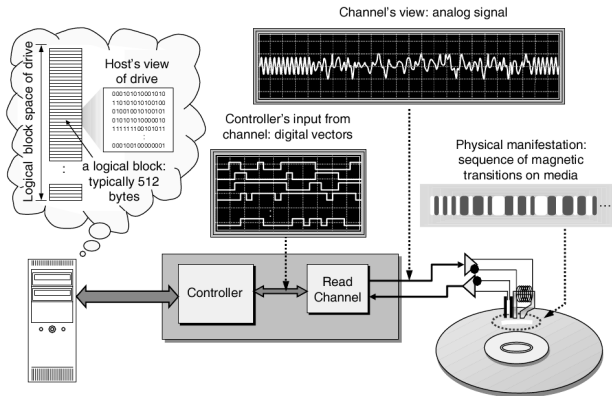
52U rack, front-to-rear cooling, 3-phase 220V AC power
1152 3½" HDDs in 72 drive trays (raw 11.5PB @ 10TB HDD)
~3000 lbs (1.4 tons)

2 servers, PCIe bus stretched rack-wide
3.5 kW/rack
2 x 40GigE to datacenter network





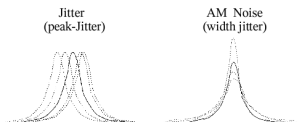
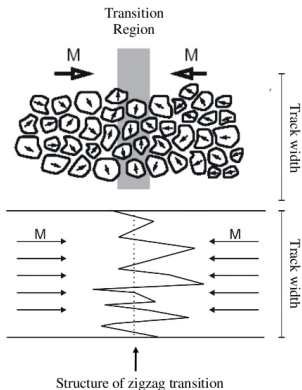
Introducción: *El Disco Duro*





LABORATORIO DE
COMUNICACIONES DIGITALES

Introducción: *El Ruido*



- La principal fuente de distorsión en el ruido de transición causado por la estructura granular del medio (dominios magnéticos). Este ruido es también llamado *ruido señal dependiente*.
- Otras fuentes de distorsión son:
 - Ruido Térmico
 - Borrado parcial (no todos los dominios son reorientados)
 - Interferencia inter-pista
 - Interferencia no lineal entre símbolos
 - Asimetría de pulso
 - Asperezas térmicas

Introducción: **Requerimientos**

- Los requerimientos de desempeño son:
 - Extremadamente baja tasa de error (BER) ($< 10^{-18}$)
 - Muy baja redundancia ($< 20\%$)
 - Desempeño cercano a la capacidad de Shannon
 - Alta velocidad de lectura y grabación (5 Gbs)
 - Baja disipación de potencia (aprox. 2.5 W)
 - Rápida recuperación de sincronismo
- Las características del canal magnético son:
 - Baja relación señal ruido (SNR)
 - Interferencia inter-símbolo (ISI) no lineal
 - Ruido coloreado, no-gaussiano y señal dependiente

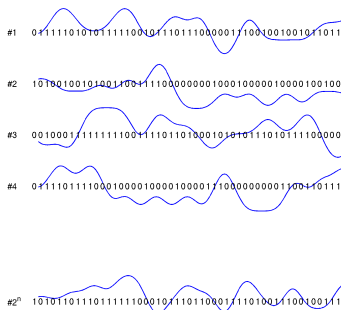
Arquitectura Tradicional: **Receptor**

- **Detección de Secuencia por Máxima Verosimilitud (MLSD)**
 - Detector de Viterbi con predicción de ruido (NPVA)
- **Ecualización de Respuesta Parcial (PR)**
 - Estimador de Canal
 - Filtro Forward
- **Codificación Dura para Corrección de Errores (ECC)**
 - Código de Reed Solomon (RS)



LABORATORIO DE
COMUNICACIONES DIGITALES

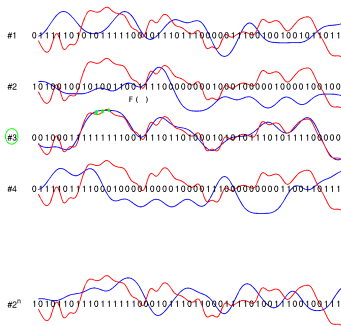
Arquitectura Tradicional: **MLSD**



Salidas del canal sin ruido, calculadas mediante el modelo del canal, para diferentes secuencias de bits transmitidas.



Arquitectura Tradicional: *MLSD (cont.)*



[BLUE] Salidas del canal sin ruido, calculadas mediante el modelo del canal, para diferentes secuencias de bits transmitidas.

[RED] Salida real del canal.

El detector MLSD compara la forma de onda recibida con el conjunto completo de posibles formas de onda sin ruido.

Luego, se elige la forma de onda sin ruido que es “más parecida” (tiene más verosimilitud) a la forma de onda recibida.

Debido a que cada forma de onda esta asociada a una secuencia de bits, al elegir la forma de onda más verosímil se determina también la secuencia de bits más verosímil.

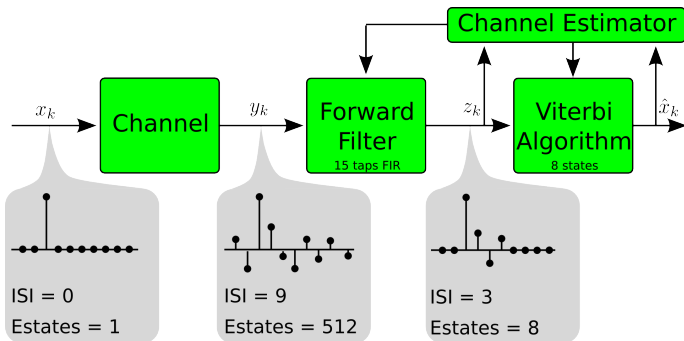
Arquitectura Tradicional: *El algoritmo de Viterbi*

- Comparar la forma de onda recibida con todas las posibles formas de onda (MLSD) es altamente complejo
- El algoritmo de Viterbi es un modo eficiente de implementar un MLSD
- Es algoritmo encuentra la secuencia de bits transmitidos más probable ($\hat{\mathbf{b}}$) en base al conocimiento de la señal recibida $\mathbf{y}$

$$\hat{\mathbf{b}} = \arg \max_{\mathbf{b}} P(\mathbf{b} | \mathbf{y}) \quad (1)$$

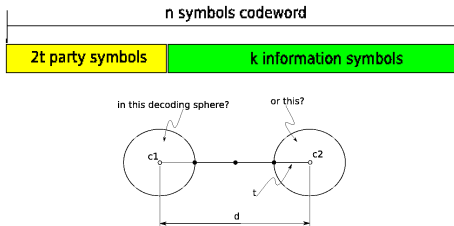
- El algoritmo de Viterbi esta basado en una maquina de estados
 - La complejidad del algoritmo crece aproximadamente en forma lineal con el número de estados
 - A mayor memoria del canal, mayor es el número de estados de la maquina de estados
 - Una arquitectura típica para aplicaciones de alta velocidad usa 8 o 16 estados

Arquitectura Tradicional: *Ecualización de Respuesta Parcial*



Arquitectura Tradicional: *El Código de Reed Solomon*

- Es un código de corrección de errores desarrollado por Irving Reed y Gustav Solomon a principios de los 60s.
- Los códigos de Reed-Solomon (RS) son códigos bloques lineales caracterizados por ser sistemáticos, no binarios, cíclicos.
- Son óptimos en el sentido de ser códigos de máxima distancia de separación (MDS).



Arquitectura Tradicional: *Desventajas*

- **La detección MLSD implementada en la arquitectura tradicional es sub-óptima**
- El Código de corrección de error no es tenido en cuenta cuando se calcula $\hat{\mathbf{b}}$; solo se considera la ISI del canal.

- Un receptor óptimo debe detectar y decodificar en forma conjunta tanto la ISI del canal como el código de corrección de error:

$$\hat{\mathbf{b}}_{\text{opt}} = \arg \max_{\mathbf{b} \in \mathbb{C}} P(\mathbf{b} | \mathbf{y}) \quad (2)$$

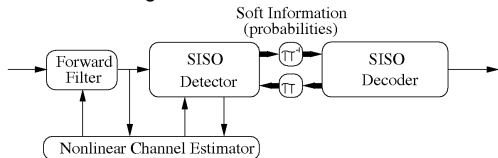
donde $\mathbb{C}$ es le conjunto de palabra código.

- Encontrar un algoritmo eficiente para realizar dicha detección y decodificación en forma conjunta es un problema abierto (es NP-completo).
- **El estimado de canal, al ser lineal, no es capaz de modelar apropiadamente el canal magnético**



Arquitectura Propuesta:

- El estimador lineal del canal es reemplazado por un **estimador no-lineal de multiples entradas y salidas (MIMO)**. El mismo incluye además estimación señal dependiente de la potencia del ruido
- El detector de Viterbi es reemplazado por un **detector/decodificador iterativo**
 - La detección/decodificación iterativa combina el concepto de información blanda con iteraciones. El primero corresponde al uso de probabilidades de bits en lugar de sus valores. El segundo corresponde al intercambio bidireccional de información entre el detector del canal y el decodificador del código

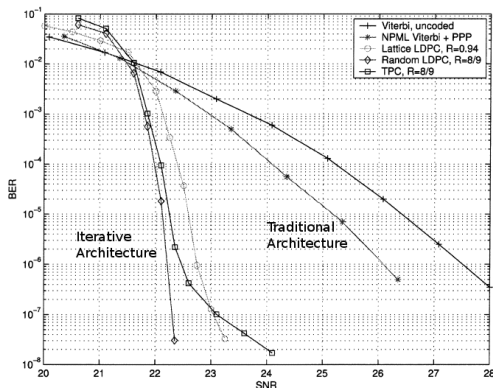


La detección iterativa es una solución práctica para atacar el problema de la detección y decodificación conjunta (solución óptima)



LABORATORIO DE
COMUNICACIONES DIGITALES

Arquitectura Propuesta: Desempeño a alta Tasa de Error



- PR Channel + AWGN
- Target: $[5 \ 4 \ -3 \ -4 \ -2]$
- 16 states SOVA
- 4 global and 2 local iterations
- TPC/SPC $(17,16)^2$: rate ≈ 0.88
- Inter. length = 4096

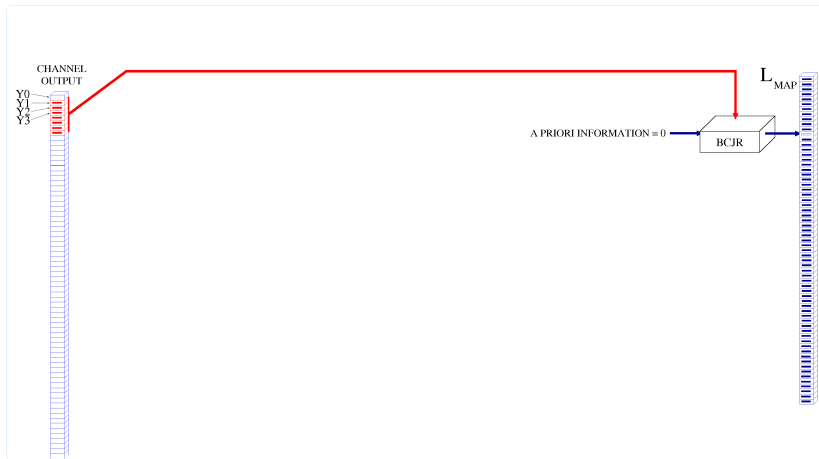
Rob Lynch, Erozan M. Kurtas, Alex Kuznetsov, Engling Yeo, and Borivoje Nikolic, *The Search for a Practical Iterative Detector for Magnetic Recording*, IEEE Trans. on Magnetics, vol. 40, no. 1, January 2004.

Arquitectura Propuesta: ***Dos Posibles Arquitecturas Iterativas***

Hay dos alternativas principales para implementar un esquema iterativo:

- $\text{MAP} \rightleftharpoons \text{LDPC} \rightarrow \text{ECC}$
 - Este esquema combina detección iterativa con un ECC sin piso de error
 - Disminuye las exigencias sobre el código LDPC
 - La principal opción para el código LDPC es un código TPC/SPC
 - Las principales opciones para el ECC son RS, BCH y Goppa.
- $\text{MAP} \rightleftharpoons \text{LDPC}$
 - Este esquema requiere de un código LDPC con alta capacidad de corrección, baja complejidad y sin piso de error
 - Un posible candidato es un código LDPC no-binario

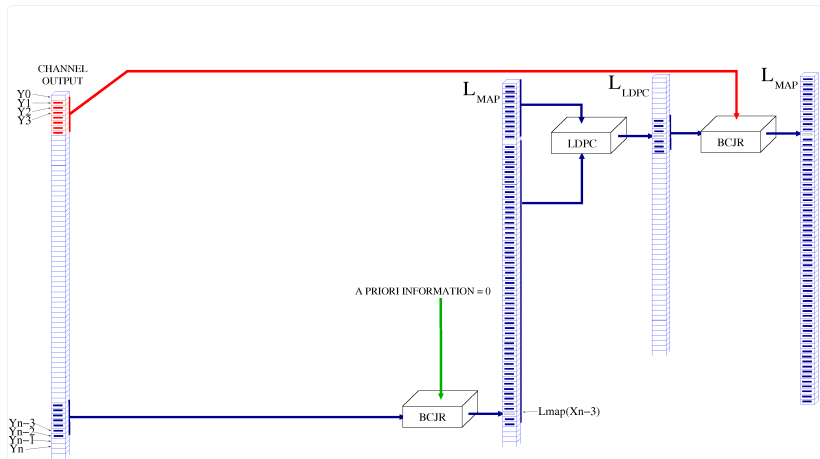
Arquitectura Propuesta: *La Iteración*





LABORATORIO DE
COMUNICACIONES DIGITALES

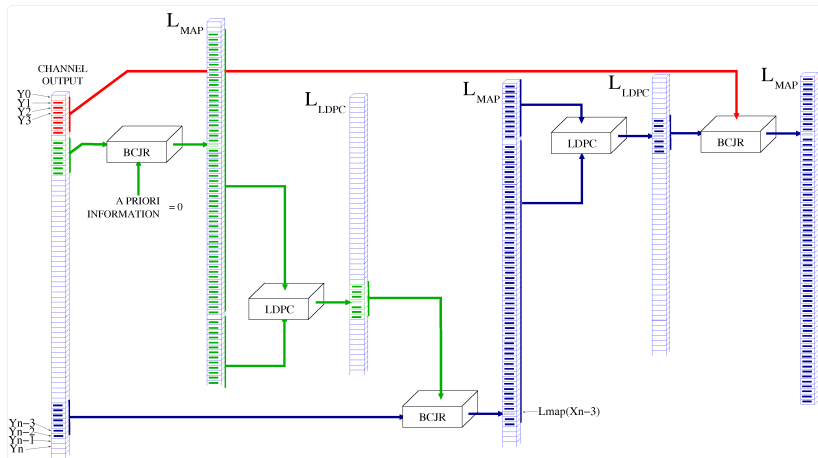
Arquitectura Propuesta: *La Iteración*





LABORATORIO DE
COMUNICACIONES DIGITALES

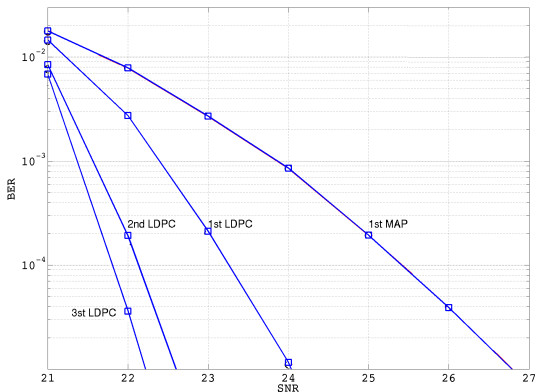
Arquitectura Propuesta: *La Iteración*





LABORATORIO DE
COMUNICACIONES DIGITALES

Arquitectura Propuesta: *BER vs. SNR vs. Iteración*



- Perpendicular Channel
- $D=3.0$, 80% jitter noise
- Pattern dependent euclidean metric.
- Target: GPR4 (volterra)
- TPC/SPC $(33,32)^2$, rate ≈ 0.94
- Inter. length = 2178

Dificultades y Desafíos

La necesidad de emular el sistema

- **Garantizar la factibilidad de implementación no es un problema simple**
 - El esquema propuesto posee una elevada complejidad.
 - Muchos de los algoritmos involucrados aún no hay sido implementados en un chip comercial. Esto último abarca casi la totalidad del diseño si tenemos en cuenta el elevado throughput.

La implementación en FPGA es un método confiable para garantizar la factibilidad de implementación

- **Los esquemas de decodificación iterativa presentan comúnmente problemas de piso de error (a bajo BER)**
 - Evitar este problema es de gran importancia ya que el mismo puede degradar considerablemente el desempeño eliminando todas las ventajas que esperan obtener del nuevo esquema
 - Actualmente no hay disponibles herramientas analíticas que permitan estimar el desempeño del esquema propuesto a baja tasa de error

La emulación en FPGA es el mejor método para garantizar el buen desempeño a baja tasa de error



LABORATORIO DE
COMUNICACIONES DIGITALES

Gracias